Méthodologie de conception d'un LNA en technologie FDSOI 28nm basée sur les caractéristiques gm/I_D

J. Liu, E. Lauga-Larroze, S. Subias, J.M. Fournier, C. Galup, S. Bourdel
University of Grenoble-Alpes, IMEP-LAHC Minatec, 3 Parvis Louis Néel, CS 50257, 38016 Grenoble, France
E-mail: liujing@minatec.grenoble-inp.fr

Résumé :

Pour les applications RF mobiles, la réduction des coûts ainsi que la basse consommation sont devenues des exigences fondamentales. Or le coût des circuits RF, tels que les LNA, est principalement dû aux inductances utilisées dans leur conception. Malheureusement, les technologies CMOS avancées n'ont pas directement d'impact sur la surface de ces composants. Cependant, elles présentent un potentiel très intéressant en termes de réduction de consommation d'énergie, notamment grâce à l'augmentation de la fréquence de transition (*ft*). En effet, un compromis intéressant entre performances RF et consommation (I_D) peut être obtenu lorsque les transistors fonctionnent en région d'inversion modérée ou faible. Fort de ce constat, différentes figures de mérite ($g_m.f_T/I_D$, g_m^2/I_D, les coefficients d'inversion, etc..) ont émergé visant à déterminer la meilleure région d'opération des transistors de ces fonctions RF. Une fois la meilleure région d'exploitation déterminée, la conception du circuit repose sur l'expérience du concepteur, les modèles classiques « petits signaux » n'étant pas valides dans ces régions de fonctionnement. Notre travail a consisté à mettre en place une méthodologie complète pour la conception de LNA, permettant de déterminer la région de fonctionnement optimum du transistor en fonction du circuit mais aussi de dimensionner tous les composants du circuit. La topologie du LNA, en rétroaction capacitive, a été choisie pour sa compacité (une seule inductance) offrant la possibilité d'intégrer ces circuits RF à faible cout. Le flot de conception présenté est basé sur une approche g_m/I_D et permet d'atteindre les performances visées en termes de bruit (Noise Figure) et de gain en tension (G_{LNA}) en garantissant la consommation d'énergie minimale. Afin de maîtriser le cout du LNA, une contrainte sévère de conception a été mise sur la valeur de l'unique inductance. Cette méthodologie a été validée par la conception de trois circuits en technologie FDSOI 28nm répondants à trois spécifications différentes. En outre, même si la linéarité n'a pas été considérée comme une contrainte de conception, cette méthode permet d'obtenir de bonnes performances IIP3 car elle tend à réduire le facteur de qualité d'entrée qui provoque une non-linéarité élevée.

Mots clés : LNA, low power, FDSOI 28nm, gm/Id

Références :

[1] M. M. Vinaya, R. P. Paily and A. Mahanta, "A low-power subthreshold LNA for mobile applications," VLSI Design and Test (VDAT), 2015 19th International Symposium on, Ahmedabad, 2015, pp. 1-5.
[2] F. Silveira, D. Flandre, and P. G. A. Jespers, "A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA" IEEE J. Solid-State Circuits, vol. 31, pp. 1314–1319, Sept. 1996.